

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES  
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum  
Internationales Büro



(43) Internationales Veröffentlichungsdatum  
1. September 2005 (01.09.2005)

PCT

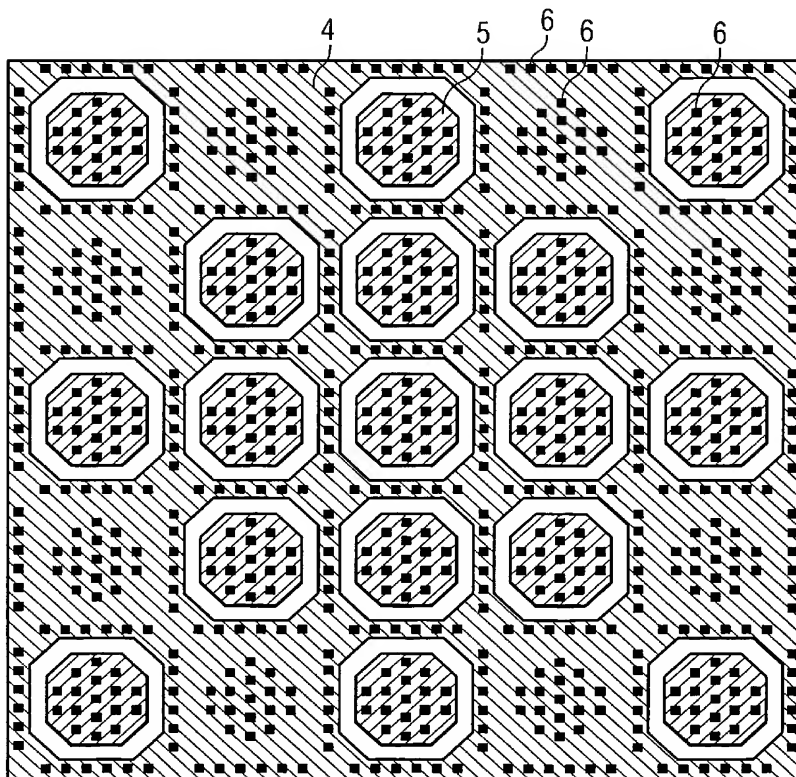
(10) Internationale Veröffentlichungsnummer  
**WO 2005/081308 A2**

- (51) Internationale Patentklassifikation<sup>7</sup>: **H01L 23/00**
- (21) Internationales Aktenzeichen: PCT/DE2005/000268
- (22) Internationales Anmeldedatum:  
16. Februar 2005 (16.02.2005)
- (25) Einreichungssprache: Deutsch
- (26) Veröffentlichungssprache: Deutsch
- (30) Angaben zur Priorität:  
10 2004 008 803.9  
20. Februar 2004 (20.02.2004) DE
- (71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): **ZENTRUM MIKROELEKTRONIK DRESDEN AG** [DE/DE]; Grenzstrasse 28, 01109 DRESDEN (DE).
- (72) Erfinder; und
- (75) Erfinder/Anmelder (nur für US): **THIEM, Steffen** [DE/DE]; Bahnhofstrasse 6, 01468 Moritzburg (DE). **BUSCHBECK, Steffen** [DE/DE]; Hans-Dankner-Strasse 9, 01069 Dresden (DE).
- (74) Anwälte: **ADLER, Peter** usw.; Lippert, Stachow & Partner, Krenkelstrasse 3, 01309 Dresden (DE).
- (81) Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare nationale Schutzrechtsart): AE, AG, AL,

[Fortsetzung auf der nächsten Seite]

(54) Title: PROTECTIVE DIODE FOR PROTECTING SEMICONDUCTOR SWITCHING CIRCUITS FROM ELECTROSTATIC DISCHARGES

(54) Bezeichnung: SCHUTZDIODE ZUM SCHUTZ VON HALBLEITERSCHALTKREISEN GEGEN ELEKTROSTATISCHE ENTLADUNGEN



(57) Abstract: The invention relates to an arrangement of a protective diode for protecting semiconductor switching circuits from electrostatic discharges. The aim of the invention is to create an arrangement by which means improved ESD protection with optimum chip surface use and an improved latch-up behaviour can be achieved. To this end, the planar diode consists of a first insular electrode surrounded by a second electrode, the contacts of the first electrode being contacted by a first metallic plane, and the contacts of the second electrode by a second, superimposed metallic plane.

(57) Zusammenfassung: Der Erfindung, die eine Anordnung einer Schutzdiode zum Schutz von Halbleiterschaltkreisen gegen elektrostatische Entladungen betrifft, liegt die Aufgabe zugrunde, eine Anordnung zu schaffen, mit der ein verbesserter ESD-Schutz mit einer optimalen Chipflächennutzung und einem verbessertem Latch-up-Verhalten erreicht wird.

[Fortsetzung auf der nächsten Seite]

WO 2005/081308 A2



AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

TJ, TM), europäisches (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

**Veröffentlicht:**

— ohne internationalen Recherchenbericht und erneut zu veröffentlichen nach Erhalt des Berichts

**(84) Bestimmungsstaaten** (soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, MD, RU,

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

5

10        **Schutzdiode zum Schutz von Halbleiterschaltkreisen gegen  
elektrostatische Entladungen**

Die Erfindung betrifft eine Anordnung einer Schutzdiode zum  
Schutz von Halbleiterschaltkreisen gegen elektrostatische  
15 Entladungen, bestehend aus mindestens einer Planardiode, bei  
der die Elektroden jeweils durch eine Vielzahl von Kontakten  
kontaktiert sind und die Kontakte über Metallschichten mit der  
Betriebsspannung, einem Ein-/Ausgangspad oder der Masse  
verbunden sind.

20

Sowohl im Fertigungsprozess als auch bei einem nachfolgenden  
Einbau in eine übergeordnete Schaltungsanordnung, sowie dem  
Betrieb der integrierten Schaltung, ist diese unvermeidbaren  
Umwelteinflüssen ausgesetzt, zu denen beispielsweise  
25 elektrostatische Entladungen (ESD = electrostatic discharge)  
gehören.

Elektrostatische Ladungen entstehen durch Reibung zwischen  
verschiedenen Materialien und können Potentiale von mehreren kV  
30 auf einem Ladungsträger aufbauen. Bei einem Kontakt des  
Ladungsträgers, beispielsweise mit einem Pin des integrierten  
Bauelementes, fließt die gespeicherte Ladung im  
Nanosekundenbereich ab und erzeugt dabei kurzzeitig Ströme bis  
in den Amperebereich. Dieser Strom muss durch die ESD-  
35 Schutzschaltung und die entsprechenden Leiterbahnen abgeleitet  
werden. Die Auslegung dieser Strombahn begrenzt den ESD-Schutz  
in der Weise, dass durch das Überschreiten einer zulässigen

Stromdichte zum Entladungszeitpunkt eine Zerstörung von Teilen der integrierten Schaltung infolge thermischer Überlastung entsteht. Da sich die Stromdichten der ESD-Entladung mit kleineren Strukturabmessungen vergrößern, gewinnt die ESD-  
5 Problematik mit zunehmender Integrationsdichte der integrierten Schaltungen an Bedeutung.

Eine aus dem Stand der Technik bekannte Maßnahme zum Schutz gegen elektrostatische Entladungen ist das Zuschalten von  
10 Schutzdioden zwischen das Ein-/Ausgangspad und dem Potential VDD sowie der Masse VSS. Die Zuschaltung erfolgt derart, dass die erste Schutzdiode mit der Kathode am Potential VDD und der Anode am Ein-/Ausgangspad und die zweite Schutzdiode mit der Kathode am Ein-/Ausgangspad und der Anode am Potential VSS  
15 angeschlossen ist.

Zur Einhaltung der Qualitätsanforderungen an moderne IC's existieren verschiedene Teststandards. Das zurzeit übliche Human-Body-Model-Testverfahren (HBM) wird mehr und mehr vom  
20 Charge-Device-Model-Testverfahren (CDM) abgelöst. Das CDM-Testverfahren stellt erhöhte Anforderungen an die Stromfestigkeit der ESD-Schutzelemente. Die Strombelastung ist etwa um den Faktor 10 größer als beim HBM-Test. Da die Zeitspanne des Stromimpulses beim CDM-Test kleiner als 1ns ist,  
25 findet praktisch eine adiabatische Erwärmung durch den Stromfluss statt. Somit wird für die Stromableitung bei einem CDM-Testverfahren mit 1kV Hochspannungsentladung wesentlich mehr Chipfläche benötigt als bei einem HBM-Testverfahren mit 4kV. Infolge dieses Mehrbedarfs an Chipfläche verliert man  
30 einen Teil der durch eine Strukturverkleinerung gewonnenen Chipfläche. Bei einem CDM-Testverfahren nimmt die Entladestromstärke durch eine Schutzdiode stark zu, was eine Vergrößerung der Diodenfläche zur Folge hat.

35 Mit der Zunahme der Stromstärke und der Strukturverkleinerung, welche eine höhere Integrationsdichte zur Folge hat, wird das

Latch-up-Verhalten der Anordnung immer kritischer. Bedingt durch die große, beispielsweise von einem Anodenring umgebene, Kathodenfläche wird ein Substratstrom erzeugt, der tief in das Substrat eindringt und somit nicht vollständig durch die Anode aufgenommen werden kann. Dieser Strom kann dann eine Fehlfunktion in benachbarten integrierten Strukturen auslösen.

Aus der US 6,518,604 ist eine Schutzdiode mit langen Anoden- und Kathodenstreifen bekannt. Diese Anordnung gewährleistet, dass der im Substrat entstehende Strom an der Oberfläche abgesaugt wird und nicht tief in das Substrat eindringen kann. Bei dieser Art der Diode ist der Stromfluss durch den Diodenrand größer als der Strom durch die Grundfläche.

Der Nachteil dieser Anordnung besteht in einem erhöhten Flächenbedarf, da die Aufteilung in Diodenfinger infolge des notwendigen Abstands zwischen Anoden- und Kathodenkontaktgebieten zusätzliche Chipfläche erfordert. Außerdem werden die Randstücke der Diodenfinger nicht für die Stromableitung genutzt. Für lange Finger muss die Dimensionierung der Metallleitungen für die einzelnen Anoden- und Kathodenleitungen der Stromdichte angepasst werden. Diese Anpassung erfordert, unter der Einhaltung von Designregeln, einen weiteren Platzbedarf.

Der Erfindung liegt somit die Aufgabe zugrunde, eine Anordnung einer Schutzdiode zum Schutz von Halbleiterschaltkreisen gegen elektrostatische Entladungen zu schaffen, mit der ein verbesserter ESD-Schutz mit einer optimalen Chipflächennutzung und einem verbesserten Latch-up-Verhalten erreicht wird.

Gemäß der Erfindung wird die Aufgabe bei einer Anordnung einer Schutzdiode zum Schutz von Halbleiterschaltkreisen gegen elektrostatische Entladungen der eingangs genannten Art dadurch gelöst, dass die Planardiode aus einer ersten inselförmigen Elektrode besteht, die von einer zweiten Elektrode umschlossen wird und dass die Kontakte der ersten Elektrode mit einer

ersten Metallebene und die Kontakte der zweiten Elektrode mit einer darüber liegenden zweiten Metallebene kontaktiert sind.

Die Realisierung von Dioden auf Wafern wird vorzugsweise in der Form einer Planardiode mit einem großen Flächenquerschnitt des pn-Übergangs ausgeführt. Gemäß der erfinderischen Lösung ist eine erste Elektrode in der Fläche der zweiten Elektrode eingebettet, wobei die inselförmige erste Elektrode beispielsweise eine kreisförmige oder rechteckige Form aufweist. Beide Elektroden sind jeweils mit verschiedenen darüber liegenden Metallebenen durch eine Vielzahl von Kontakten elektrisch leitend verbunden. Durch die Verwendung einer Vielzahl von parallel geschalteten, elektrisch leitenden Kontakten werden Widerstandsschwankungen der Einzelkontakte ausgeglichen und die Stromdichte in der Zuleitung reduziert.

In einer Ausgestaltung der Erfindung ist vorgesehen, dass mehrere Planardioden nebeneinander angeordnet sind.

In einer weiteren Ausgestaltung der Erfindung ist vorgesehen, dass mehrere Planardioden in einem Array angeordnet sind.

Diese Anordnung beispielsweise mehrerer Kathodeninseln in einer gemeinsamen Anodenfläche kann in einer Reihe, in einer Spalte, einer Kombination aus der Reihen- und der Spaltenanordnung sowie in der Form eines Arrays erfolgen.

In einer besonderen Ausführung der Erfindung ist vorgesehen, dass die Planardioden zu einer Funktionseinheit zusammengeschaltet sind.

Vorzugsweise sind die Planardioden in einer Parallelschaltung zu einer Schutzdiode, welche für eine zu einem zuverlässigen ESD-Schutz erforderlichen Strombelastung dimensioniert ist, zusammengeführt. Die so erzeugte Schutzdiode kann auch aus mehreren zusammengeschalteten Planardiodenreihen und/oder Planardiodenspalten oder mehreren Arrays bestehen.

In einer Ausgestaltung der Erfindung ist vorgesehen, dass die Vielzahl von Kontakten durch einen Kontakt ersetzt ist.

Technologiebedingt wird zur Kontaktierung der Elektroden eine Vielzahl von Kontakten verwendet. Unter Beachtung des Leitungswiderstandes und der Strombelastbarkeit des Kontakts kann bei entsprechender Dimensionierung nur ein Kontakt, zur Verbindung einer Elektrode mit einer Metallebene, genutzt werden.

10

In einer Ausführung der Erfindung ist vorgesehen, dass die inselförmige Elektrode eine kreisförmige oder eine n-eckige Form aufweist.

15 Die Form der inselförmigen Elektrode kann beispielsweise an eine verwendete Herstellungstechnologie angepasst werden. Die Elektrode kann sowohl eine kreisförmige als auch eine eckige Form, mit einer beliebigen Eckenanzahl, aufweisen.

20 Die Erfindung soll nachfolgend anhand eines Ausführungsbeispiels näher erläutert werden. In den zugehörigen Zeichnungen zeigt

Fig. 1 eine ESD-Schutzschaltung mit zwei Schutzdioden aus dem Stand der Technik,

25

Fig. 2 eine Darstellung der untersten Layoutebene der erfindungsgemäßen Schutzdiode,

30 Fig. 3 eine Darstellung der Verbindung der Anoden- und Kathodenflächen mit der darüber liegenden ersten Metallebene,

Fig. 4 eine Darstellung der ersten Metallebene mit Via-Kontakten und

35

Fig. 5 eine Darstellung der zweiten Metallebene mit Via-Kontakten.

In der Figur 1 ist eine ESD-Schutzschaltung mit zwei Schutzdioden 1 aus dem Stand der Technik dargestellt. Mit dieser Anordnung wird die interne Schaltung 2 vor  
5 elektrostatischen Entladungen an einem der Input-PAD's 3 geschützt. Die erfinderische Lösung kann in beiden Schutzdioden 1 Anwendung finden.

Einen für eine Flächenoptimierung verbesserten Diodenentwurf, einer als Planardiode ausgeführten Diode, erzielt man, wenn die Diode nicht in Anoden- und Kathodenstreifen unterteilt, sondern eine Anodenfläche 4 mit einer darin eingebetteten Kathodeninseln 5 verwendet wird. Eine Anordnung der Planariode mit einer Anodeninsel in einer Kathodenfläche ist ebenfalls  
15 möglich. Mit dieser Lösung kann die Fläche der Kathodeninsel 5, die Anodenfläche 4, der Rand der Kathodeninsel 5, die Anzahl der Kontakte 6 sowohl in der Kathodeninsel 5 als auch in der Anodenfläche 4 und die Metallbahnbreiten so optimal aufeinander abgestimmt werden, dass bei einer Zusammenschaltung mehrerer  
20 Planardioden zu einer Schutzdiode 1 jedes Planardiodenelement der gleichen Strombelastung standhält. Durch die Wahlmöglichkeiten in Bezug auf Form und Größe der Insel 5 kann ein flächenoptimierter Entwurf gefunden werden. Durch die Unterteilung der Schutzdiode 1 in kleine Teilflächendiode wird  
25 ein signifikanter Substratstrom zu benachbarten Chipelementen verhindert. Je nach vorhandenem Platz im Layout kann die Struktur, der aus mehreren Planardioden bestehenden Schutzdiode 1, quadratisch, rechteckig oder in mehrere Teilstrukturen aufgeteilt ausgeführt werden.

30

Gemäß der erfinderischen Lösung ist die Kathodeninsel 5 in einer achteckigen Form mit Winkeln von jeweils 45 Grad ausgeführt. Eine andere geometrische Form, beispielsweise eine kreisförmige oder quadratische Form, ist ebenfalls möglich. Zur  
35 Gewährleistung eines gleichmäßig verteilten Stromflusses durch alle Inseln 5 ist deren Größe, geometrische Form, die Einbettung und die Kontaktierung 6 der Inseln 5 jeweils gleich auszuführen. Pro Insel 5 werden beispielsweise 10 Kontakte 6



verwendet, um Widerstandsschwankungen der Kontakte 6 auszugleichen. Die Stromzuleitung zu den Inseln 5 erfolgt über Kontakte 6 zu einer darüber liegenden ebenfalls inselförmigen Metallplatte in der ersten Metallebene 7 und nachfolgend weiter  
5 über Via's zu einer darüber liegenden zweiten Metallebene 8, in der die Teilströme der Inseln 5 zusammengefasst werden. Somit ist gewährleistet, dass der Gesamtdurchlassstrom gleichmäßig auf alle parallel geschalteten Inseln 5 aufgeteilt wird. Da sich die zweite Metallebene 8 großflächig über die gesamte  
10 Diodenfläche erstreckt, stellt die Stromdichte in dieser Metallebene 8 keine Begrenzung für den möglichen Strom durch die Dioden dar. Die Elektrodenfläche 4, in der die Inseln 5 eingebettet werden, füllt die Gebiete zwischen den Inseln 5, unter Einhaltung minimaler Designregeln aus. Dabei muss  
15 beispielsweise die Anodenfläche 4 mindestens gleich groß der Summe der Kathodeninselgröße sein, damit keine Substratströme zu anderen Chipelementen auftreten können. Weiterhin muss die Verteilung der Kathodeninseln 5 zum Rand der Anodenfläche 4 abnehmen, um die Stromdichte in der ersten Metallebene 7,  
20 welche die Anodenzuleitung darstellt, annähernd konstant zu halten. Die Anbindung der Anodenfläche 4 erfolgt ebenfalls durch Kontakte 6 zu der ersten Metallebene 7, wobei eine Überlappung der Metallebene 7 an den Außenseiten notwendig ist, und dadurch ein vierseitiger Anschluss der Anodenfläche 4 über  
25 die erste Metallebene 7 an eine zugehörige Leitung möglich wird.

In den Figuren 2 bis 5 ist eine Umsetzung der erfindungsgemäßen Anordnung in verschiedenen, übereinander liegenden Layoutebenen  
30 dargestellt. Die unterste Ebene ist in der Figur 2 dargestellt. In dieser Ebene sind die Kathodeninseln 5 und die Anodenfläche 4 im Siliziumsubstrat dargestellt. Sowohl die Kathodeninseln 5 als auch die Anodenfläche 4 sind mit Kontaktstüpseln 6 für den Anschluss an die erste Metallebene 7 bestückt.

35

In der Figur 3 ist die Verbindung der Kathodeninseln 5 und der Anodenfläche 4 mit der darüber liegenden ersten Metallebene 7 dargestellt. Alle Anodenanschlüsse werden auf eine gemeinsame

Metallplatte in der ersten Metallebene 7 geführt, die dann an allen Seitenrändern beispielsweise mit dem GND-Bus verbunden wird. Die Metallflächen über den Inseln 5 sind in der ersten Metallebene 7 sowohl zueinander als auch gegenüber der  
5 restlichen Metallfläche der gleichen Ebene isoliert und werden durch Kontakte 6 von der ersten Metallebene 7 nach oben zu der darüber liegenden zweiten Metallebene 8 verbunden. Derartige Kontakte 6 werden auch als Via's bezeichnet.

10 In der Figur 4 ist die erste Metallebene 7 mit den Via-Kontakten dargestellt. Diese Via-Kontakte werden dann mit der zweiten Metallebene 8 verbunden.

In der Figur 5 ist die zweite Metallebene 8 mit den verbundenen  
15 Via-Kontakten dargestellt. Diese Metallebene 8 wird hinreichend groß dimensioniert, so dass sie keine Schädigung nach einer Strombelastung durch eine elektrostatische Entladung aufweist. Die Anbindung, beispielsweise an ein Input-PAD, erfolgt über diese Metallebene 8.

5

10        **Schutzdiode zum Schutz von Halbleiterschaltkreisen gegen  
elektrostatische Entladungen**

**Bezugszeichenliste**

15        1 Schutzdiode  
          2 Interne Schaltung  
          3 Input PAD  
          4 Anodenfläche  
          5 Kathodeninsel  
20        6 Kontakt  
          7 erste Metallebene  
          8 zweite Metallebene

25

5

10        **Schutzdiode zum Schutz von Halbleiterschaltkreisen gegen  
elektrostatische Entladungen**

**Patentansprüche**

- 15        1. Anordnung einer Schutzdiode zum Schutz von Halbleiter-  
schaltkreisen gegen elektrostatische Entladungen,  
bestehend aus mindestens einer Planardiode mit zwei  
Elektroden, bei der die Elektroden jeweils durch eine  
Vielzahl von Kontakten kontaktiert sind und die Kontakte  
20        über Metallebenen mit der Betriebsspannung, einem PAD oder  
der Masse verbunden sind, **dadurch gekennzeichnet**, dass die  
Planardiode aus einer ersten inselförmigen Elektrode (5)  
besteht, die von einer zweiten Elektrode (4) umschlossen  
wird, dass die Kontakte (6) der ersten Elektrode (5) mit  
25        einer ersten Metallebene (7) und die Kontakte (6) der  
zweiten Elektrode (4) mit einer darüber liegenden zweiten  
Metallebene (8) kontaktiert sind.
- 30        2. Anordnung nach Anspruch 1, **dadurch gekennzeichnet**, dass  
mehrere Planardioden nebeneinander angeordnet sind.
- 35        3. Anordnung nach Anspruch 1, **dadurch gekennzeichnet**, dass  
mehrere Planardioden in einem Array angeordnet sind.
4. Anordnung nach Anspruch 2 und 3, **dadurch gekennzeichnet**,  
dass die Planardioden zu einer Funktionseinheit  
zusammengeschaltet sind.

5. Anordnung nach Anspruch 1, **dadurch gekennzeichnet**, dass die Vielzahl von Kontakten (6) durch einen Kontakt ersetzt ist.
- 5
6. Anordnung nach Anspruch 1, **dadurch gekennzeichnet**, dass die inselförmige Elektrode (5) eine kreisförmige oder eine n-eckige Form aufweist.

FIG 1

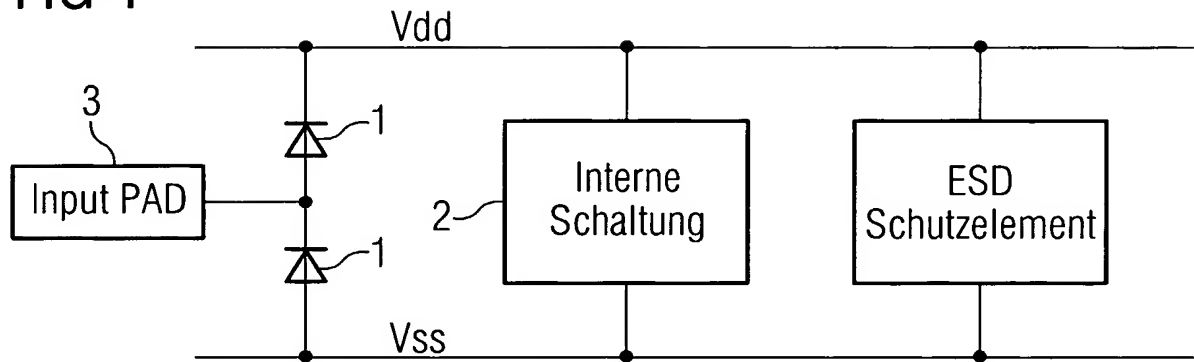


FIG 2

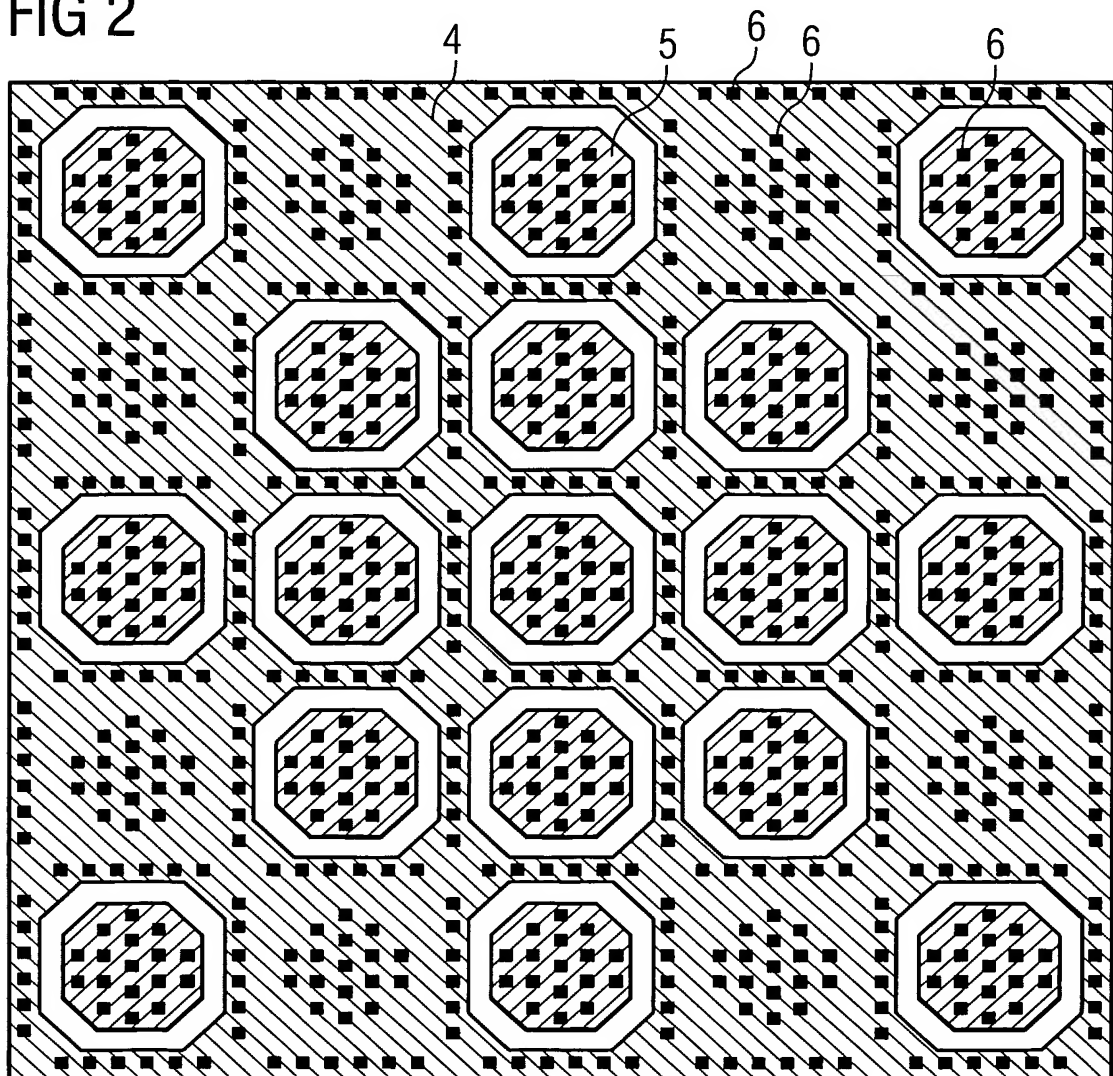


FIG 3

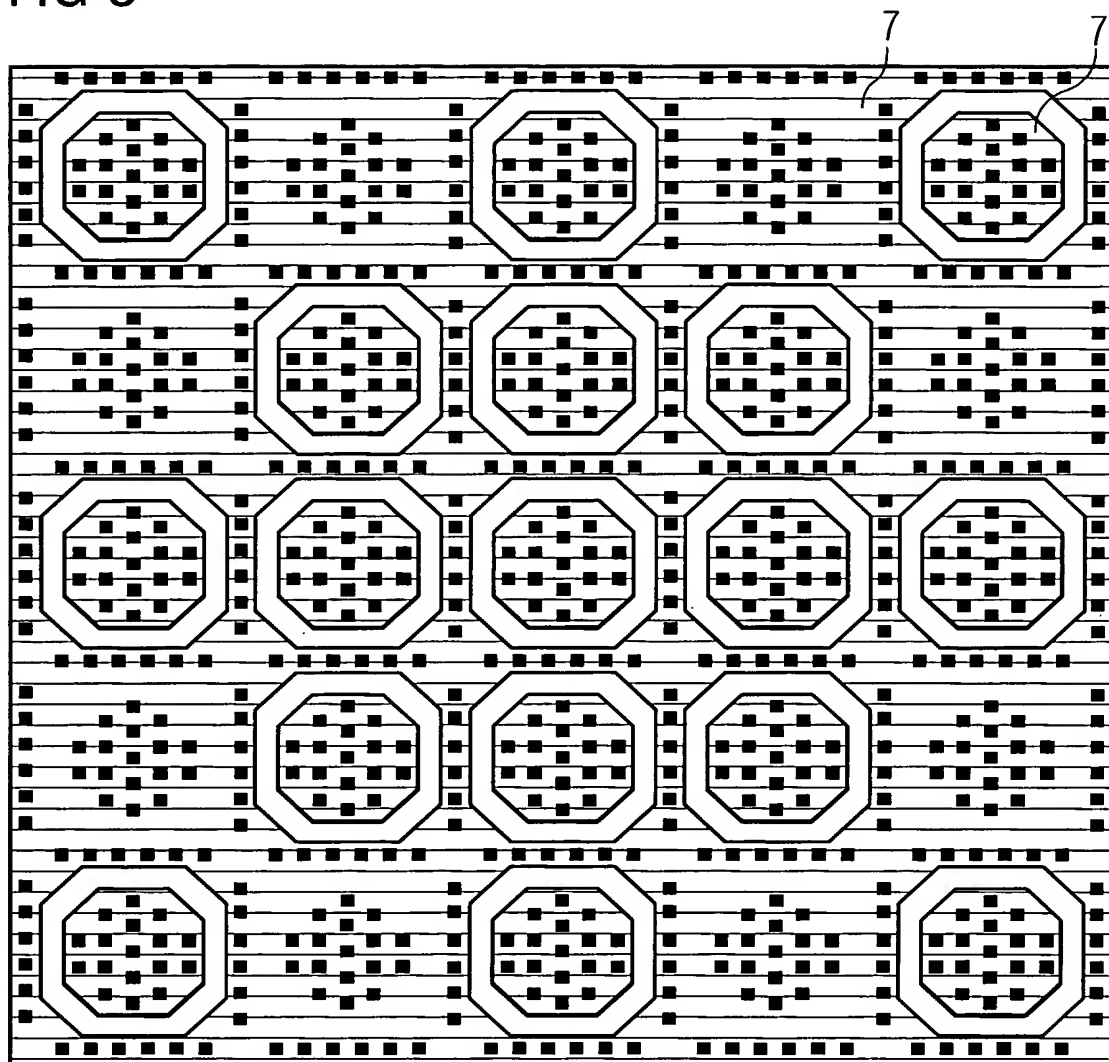


FIG 4

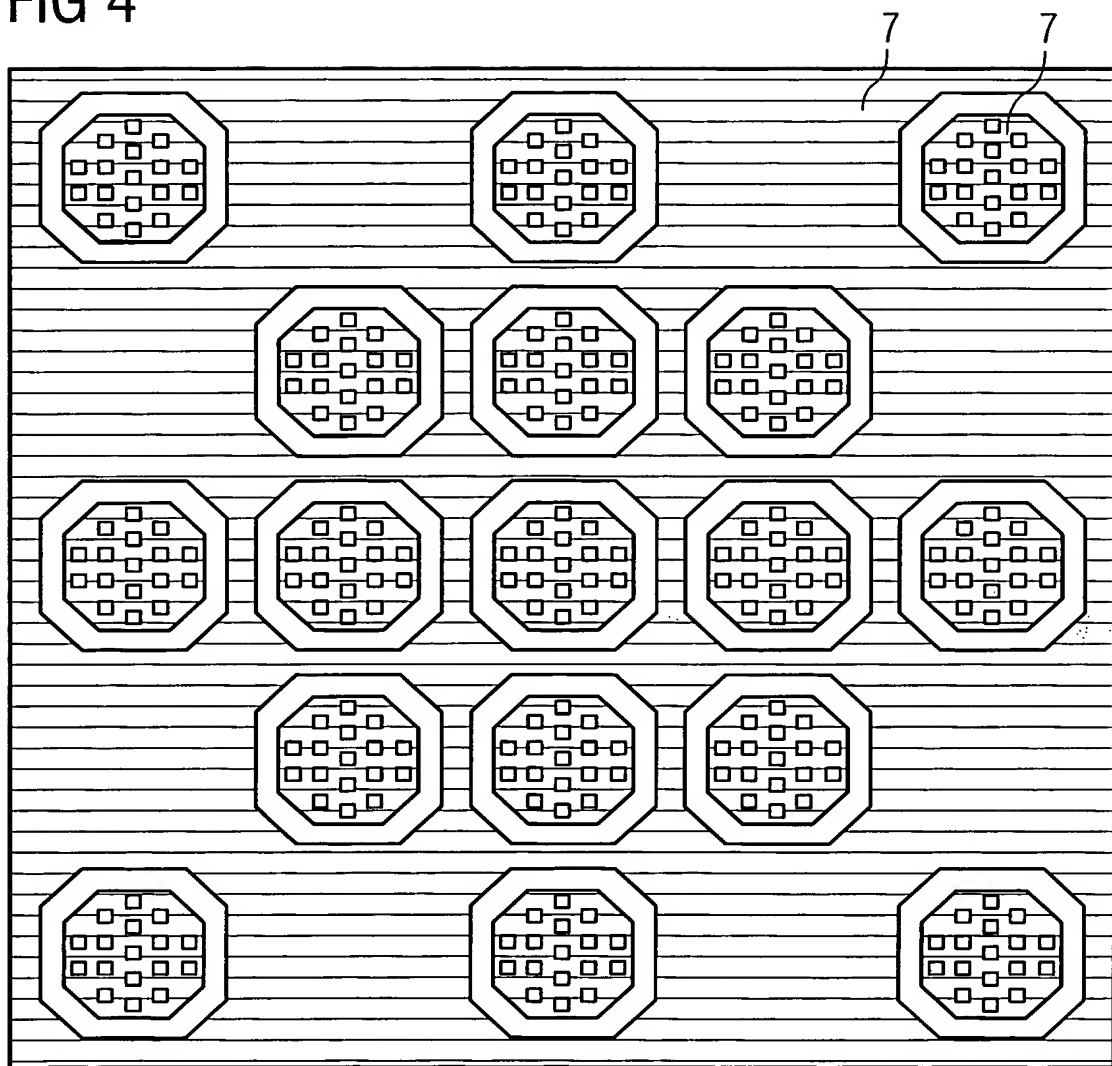




FIG 5

